

3D 芯片绑定中测试绑定次序 对成本的影响

方 芳¹, 秦振陆^{1,3}, 王 伟^{1,3}, 朱 侠^{1,3}, 郭二辉², 任福继^{1,3}

(1. 合肥工业大学, 安徽合肥 230009; 2. 中国电子科技集团第三十八研究所, 安徽合肥 230009;
3. 情感计算与先进智能机器安徽省重点实验室, 安徽合肥 230009)

摘 要: 针对 3D SICs (3D Stacked Integrated Circuits, 三维堆叠集成电路) 在多次绑定影响下的成本估算问题, 现有的方法忽略了实际中经常发生的丢弃成本, 从而使得理论的测试技术不能很好的应用于实际生产. 本文根据绑定中测试的特点, 提出了一种协同考虑绑定成功率与丢弃成本的 3D SICs 理论总成本模型. 基于该模型, 提出了一种 3D SICs 最优绑定次序的搜索算法. 最后, 进一步提出了减少绑定中测试次数的方法, 实现了“多次绑定、一次测试”, 改进了传统绑定中测试“一绑一测”的方式. 实验结果表明, 本文提出的成本模型更贴近于实际生产现状, 最优绑定次序、最优绑定中测试次数可以更加有效指导 3D 芯片的制造.

关键词: 丢弃成本; 成本模型; 绑定次序; 绑定中测试; 测试次数优化

中图分类号: TN405 **文献标识码:** A **文章编号:** 0372-2112 (2017)09-2263-09

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2017.09.030

The Bonding Order's Impact on Cost During Mid-Bond Test of 3D Chip

FANG Fang¹, QIN Zhen-lu^{1,3}, WANG Wei^{1,3}, ZHU Xia^{1,3}, GUO Er-hui², REN Fu-ji^{1,3}

(1. Hefei University of Technology, Hefei, Anhui 230009, China;

2. China Electronics Technology Group Corporation No. 38 Research Institute, Hefei, Anhui 230009, China;

3. Anhui Province Key Laboratory of Affective Computing and Advanced Intelligent Machine, Hefei, Anhui 230009, China)

Abstract: Nowadays, due to the lack of appropriate 3D SICs (3D Stacked Integrated Circuits) cost estimation methods under the impact of the multiple bonding, and the generally neglect of the discarding costs in test process production, the existing test methods can not be well applied in the actual production. Based on the feature of mid-bond test, this paper proposed a 3D SICs theoretical total cost model, by synergistically considering the bonding rate and discarding cost, further, a 3D SICs optimal bonding order algorithm is proposed. Finally, the paper also puts forward a method to optimize the mid-bonding test times. This method can achieve "multiple bondings but plus one test" by replacing the traditional "one bonding and plus one test" method. Experimental results show that the cost of the proposed model is closer to the actual production. Optimal bonding order and Optimized mid-bonding test times can be effective to guide the 3D chip manufacturing.

Key words: discarding cost; cost model; stacking order; mid-bond test; test times optimization

1 引言

近年来, 随着科学技术的不断发展, 从二维集成电路向三维集成电路发展已经成为必然的趋势. 但随着 3D 芯片技术的不断发展, 功耗、测试、TSV (Through-Sili-

con-Via, 过硅穿孔) 冗余等一系列问题也随之而来. 在这众多问题中, 3D 芯片测试成本的研究已成为近期的一大研究热点. “绑定中测试”阶段的提出能够更早地检测出 3D 堆叠集成电路绑定过程引入的缺陷, 却导致测试时间和功耗的剧增^[1,2]、热量分布不均带来的热问

收稿日期: 2015-12-03; 修回日期: 2016-08-01; 责任编辑: 梅志强

基金项目: 国家自然科学基金重点项目 (No. 61432004); 国家自然科学基金 (No. 61474035, No. 61204046, No. 61306049); 安徽省科技攻关 (No. 1206c0805039); 安徽省自然科学基金 (No. 1508085QF129); 教育部新教师基金 (No. 20130111120030)

题^[3,4]以及测试成本的复杂化^[5~7]等问题。

近期,对于3D芯片测试流程的研究有了更完善的划分.原有的“绑定前测试、绑定后测试和尾测试”的测试三阶段模型改进为包含“绑定前测试、绑定中测试、绑定后测试和尾测试”的四阶段模型.该模型的提出更加符合工业化生产的需要,围绕该模型,近年来已经出现了一些具有指导意义的论文.文献[5~7]将模型的四阶段定义为测试流,以此来体现绑定尺寸、裸片产量和绑定产量在各个测试流下对于成本的影响,从而确定成本效率高(Cost-Effective)的测试流.文献[8,9]则丰富了上述的过程,形成了完整的物流成本,包括了探针测(Probe)、测试室(Test House)、晶圆厂(Wafer Fab)、3D制造厂(3D Fab)以及它们之间的物流,进而体现出了探针的重要性以及在多种物流情形下“绑定中测试”的成本情况.文献[10~13]讨论了“绑定中测试”时绑定次序对于测试开销的影响.文献[14]结合测试流的概念与成本模型较早的提出了绑定次序对于绑定的影响,分析了乱序(out-of-order)绑定与有序(in-order)绑定的不同影响.文献[11]介绍了绑定次序对于绑定的影响,但是并没有考虑到由于绑定失败而带来的丢弃成本所造成的影响.文献[12]利用概率的思想来解决SOCs的失败终止问题,核心是尽可能每次寻找失败概率大的绑定次序,但是文献[12]只考虑到绑定的失败率,却没有考虑到与此相关的成本问题,难以指导实际芯片的生产。

针对上述问题,结合实际生产过程,本文主要完成以下工作。

(1)提出含丢弃成本的理论总成本模型:考虑实际生产中可能出现的绑定失败问题,完善现有的成本模型,将每次绑定过程中的成功率引入了成本模型,并由此衍生出了制造成本与丢弃成本两个概念,提出了含丢弃成本的理论总成本模型,使其更加符合日常生产需要。

(2)绑定次序的优化:根据含丢弃成本的理论总成本模型,寻找出最符合实际生产成本要求的最优次序,并进行相关的验证,对实际生产有一定的指导意义。

(3)“绑定中测试”过程的优化:针对丢弃成本的出现,本文修改了传统的“绑定中测试”次序,将原有的“每绑定一次、测试一次”的基本方式,优化为“绑定多次、测试一次”的方式,进一步指导生产实践。

2 问题的描述

2.1 绑定次序的影响

在进行2D裸片的绑定过程中,由于需要对各层裸片进行热处理,削薄,压力和TSV打孔等复杂操作^[5],有可能使正在绑定的部分产生新的故障,出现绑定后

芯片失效的情况.显然,对于异构3D SIC,由于绑定过程中产生故障的概率不同,依据不同的绑定顺序进行多次“绑定中测试”时,会对成本产生不同的影响.其中,本文的“绑定次序”主要指绑定工作的先后顺序,并不改变各层裸片物理上、功能上的先后位置关系。

图1显示了三层裸片进行绑定时,不同绑定次序对于绑定操作的影响.从中可以看出在图1(a)、(b)中,后者由于提前发现了故障(Die2-Die3的结合体中)而终止了下一步的绑定操作,使得完好的Die1得以保留,节约了成本,进而可以得出不同的绑定次序对于总的制造成本有不同的影响.进行绑定的过程中,由于构成异构3D芯片的各层裸片物理结构不同,其实际绑定失败的概率也不会完全相同,而这个失败率作用于绑定次序后,直接影响了制造成本.因此,为降低生产成本、尽可能多的保留完好的2D裸片,需要对3D芯片绑定次序进行优化。

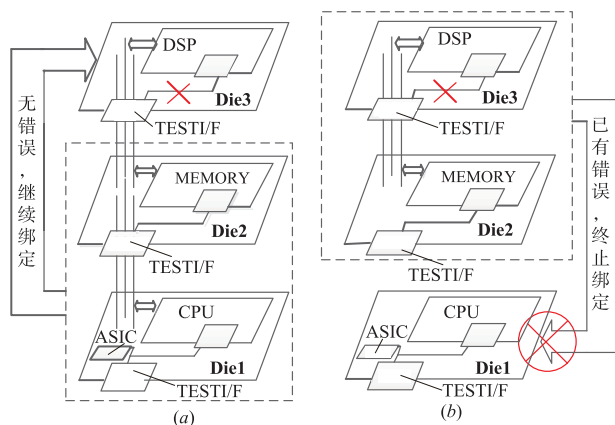


图1 三层裸片的两种绑定方式

2.2 绑定失败的概率模型及其弊端

绑定失败的概率模型是基于事件独立性的乘法原理和加法原理.裸片绑定时,前一阶段已经绑定好的半成品3D芯片(已堆叠若干2D裸片)在下次绑定过程中,对于该次绑定是否成功并没有影响.因此,绑定过程中各次绑定操作相互独立,绑定失败的事件可以看成是独立事件.结合独立事件的基本特征,可以得出绑定失败的概率模型,如式(1)所示.在该模型中,假设共有 n 次绑定操作,其中 P_{fi} 为3D SIC总体绑定的失败率, P_{fi} 为第 i 次绑定操作的失败率, P_{si} 为第 i 次绑定操作的成功率. P_{fi} 与 P_{si} 的关系为 $P_{si} = 1 - P_{fi}$.

$$P_{fi} = P_{f1} + P_{s1} * P_{f2} + \dots + \left(\prod_{i=1}^{n-1} P_{si} \right) * P_{fn} \quad (1)$$

虽然,随着工艺技术的不断进步,绑定操作的成功率越来越高,但每一次的绑定操作并不一定能达到100%的成功率.从文献[5~7]中可以看出,目前绑定的成功率大致维持在90%以上.结合式(1)中提出考虑绑定失败的概率模型,文献[12]提出由于失败率的不

同,不同的绑定次序对于绑定过程会有不同的影响。

但是,因为实际中存在着这样的情况,虽然绑定的失败率很小,但是绑定过程中涉及到的制造开销较大,这就是经常会出现“丢不起”的绑定现象。即这样的绑定操作一旦失败,就需要丢弃巨大的成本。这种现象清楚的表明,单纯的用概率方法去研究绑定问题对实际意义指导并不大。现实中,3D SIC 生产的核心问题是成本问题,构建合理的成本模型将有助于对于实践生产中“绑定中测试”阶段的指导。

3 绑定中成本模型、最优绑定次序与最优绑定中测试次数

根据本文第 2 章的介绍,实际生产以成本作为出发点,需要在生产过程中尽可能的降低总成本,而不仅仅是绑定成功率的降低。这就迫切需要一个包含丢弃成本的较为全面的成本模型,以此为依据来解决本文第 2 章的绑定次序问题。

在研究绑定次序的过程中,本文做出如下假设。

假设 1 一个 n 层 3D SIC 成品由 n 层裸片(从上到下编号依次为 $D_n, D_{n-1} \cdots D_1$) 共进行 $(n-1)$ 次绑定而成。

假设 2 各层裸片由于自身具有的物理电路结构、元器件参数、工艺波动等差异性,在进行两两绑定的过程中具有不同的失败率。

假设 3 在绑定过程中,当已经绑定好的 3D SIC 半成品与裸片进行新一次绑定时,假定绑定失败只出现在新形成的 3D 层(新增加的裸片与与原有 3D 半成品)之间的连接过程中^[6]。本文后续部分,如无特殊说明“失败率”均指新绑定层绑定失败的概率。

3.1 成本模型

根据目前国内外学术界对于 3D 芯片成本的研究,传统的成本模型包括了制造成本、绑定成本、封装成本、测试成本四大部分^[6,15]。结合制造过程,本文提出了丢弃成本的概念。

丢弃成本:针对已绑定若干层的 3D 芯片半成品,如果在新绑定某层裸片后,构成的新 3D 芯片半成品在进行测试后,被证明出现了故障而无法继续使用,即无法在其上继续绑定新的 2D 裸片。这时,该 3D 芯片半成品必须被全部丢弃。此时,我们把该丢弃 3D 芯片半成品的成本称为丢弃成本。

本文假设一个 3D 芯片由 n 层($n \geq 2$)裸片绑定形成。显然,当 $n=2$ 时,不管绑定是否成功,绑定过程都已经完成,与绑定相关的制造成本也已经产生。当 $n \geq 3$ 时,每次绑定都是在前一次绑定完成的基础上进行,相关的制造成本也是在前一次绑定完成的基础上进行计算。同时,由于每次绑定都可能失败,使得各次绑定需要

的裸片数目并不尽相同。于是,本文针对实际生产需要,协同考虑了制造成本与各层需要的裸片数目。综上所述,相应的制造成本 $C_{i,m}$ 模型如式(2)所示。其中 $C_{i,m}$ 表示第 i 层的制造成本, C'_i 为第 i 层完成堆叠所需要增加的成本, k_i 为绑定第 i 层所需要的裸片数目, P_i 为第层的绑定成功率。 P_i 一般可以根据生产线在稳态工作时的效率统计得出。

$$C_{i,m} = \begin{cases} C'_1 * k_1, i=1 \\ (C_{1,m} + C'_2) * k_i, i=2 \\ (C_{(i-1),m} P_{i-1} + C'_i) * k_i, i>2 \end{cases} \quad (2)$$

k_i 为绑定第 i 层所需要的裸片数目。显然,在实际生产过程中,无论是否绑定成功,第 1、2 层裸片都会进行绑定操作,即最开始两层绑定所需的裸片数目并不涉及绑定成功率。当继续进行绑定时,每次需要的裸片数目则会受到前次绑定成功率的影响,逐渐减小。综上所述,若第一次绑定需要的裸片数目为 k ,则以后每次绑定需要的裸片数目为前一次绑定成功的 2D 半成品的数目,绑定第 i 层所需要的裸片数目 k_i 如式(3)所示。

$$k_i = \begin{cases} k, i=1, 2 \\ k_{i-1} * P_{i-1}, i>2 \end{cases} \quad (3)$$

C'_i 为第 i 层完成堆叠所需要增加的成本,如式(4)所示。它不仅包含与裸片制造相关的制造成本 $C_{i,die}$ (裸片以及裸片上逻辑元器件等),而且包括了绑定过程中与绑定相关的操作过程成本 $C_{(i-1),bond}$,以及绑定测试成本 $C_{(i-1),test}$ 。本文主要认为绑定操作的成本 $C_{(i-1),bond}$ 为 TSV 的制造成本,如式(5)所示, N_i 为第 i 层与第 $(i+1)$ 层绑定过程中需要的 TSV 数目, C_{TSV} 为 TSV 的制造单价。其中,对于测试成本 $C_{(i-1),test}$,本文采用文献[12]的数据,忽略的测试过程的其他影响因素(如裸片的故障覆盖率、容错结构、冗余结构、路由信息、输入输出端口、引脚等)。

$$C'_i = C_{i,die} + C_{(i-1),bond} + C_{(i-1),test} \quad (4)$$

$$C_{i,bond} = N_{i-1} * C_{TSV} \quad (5)$$

丢弃成本是因为绑定失败而产生的失败品的成本。当仅有一层 2D 裸片,还没有进行绑定时,并不涉及绑定操作,不会出现绑定故障,就不会产生丢弃成本,即 $i=1$ 时,丢弃成本为 0。当 $i \geq 2$ 时,一旦某次 3D 绑定过程出现故障。显然,在绑定成完整 3D 成品的过程中,丢弃成本逐渐累加。绑定一个 n 层的 3D 芯片,需要考虑到每一次绑定都可能产生失败的 3D 半成品。综上所述,相应的丢弃成本 $C_{i,l}$ 如式(6)所示。

$$C_{i,l} = \begin{cases} 0, i=1 \\ \sum_{j=2}^i (1 - P_j) * C_{j,m}, i \geq 2 \end{cases} \quad (6)$$

综上,由于本文采用绑定中的理论总成本来评价

每个成功的 3D SIC 芯片在绑定中测试过程中所需的开销,故 n 层裸片绑定的理论总成本 $C_{n,tc}$ 定义如式(7)所示,其中 n 为需要绑定的 2D 裸片的数目. 因此,第 i ($i < n$) 层的 $C_{n,tc}$ 即为该层的理论成本 $C_{i,tc}$.

$$C_{n,tc} = C_{n,m} + C_{n,l} \quad (7)$$

3.2 基于搜索的最优绑定次序 (Optimal Bonding Order, OBO)

基于上述基本模型,本文的研究目标转化为寻找一种最优的绑定次序,使绑定过程在含丢弃成本的总成本模型指导下具有最小的理论总成本,即 $\min(C_{n,tc})$,同时为该绑定中测试的次序提供理论依据. 图 2 给出了 4 层裸片在 3 次绑定过程中所有次序下的成本. 本文将不同绑定次序下各次绑定的成本聚集在一起,以便清楚地反应次序的影响可以看出不同的绑定次序对于成本有着不同的影响,有必要进行绑定次序的优化.

显然,在实际制造时,为保证功能的正确性,设计时物理位置相邻的 2D 裸片必须绑定在一起,即绑定次序不能改变组成 3D 芯片的各层 2D 裸片物理位置的相互关联性. 因此,本文在进行协同搜索寻找最优绑定次序的过程中,在解空间中必须排除不满足实际物理位置关联性需求的解. 以 3 个 2D 裸片 D_3 、 D_2 、 D_1 进行绑定为例,符合绑定要求的只有 4 种情形 ($D_1D_2D_3$ 、 $D_2D_1D_3$ 、 $D_2D_3D_1$ 、 $D_3D_2D_1$),其余次序在实际绑定过程中不会出现. 例如次序 $D_3D_1D_2$,要求先将第 3 层与第 1 层 2D 裸片绑定,再插入 D_2 的绑定方式,这不符合实际绑定要求,不在可行的解空间内.

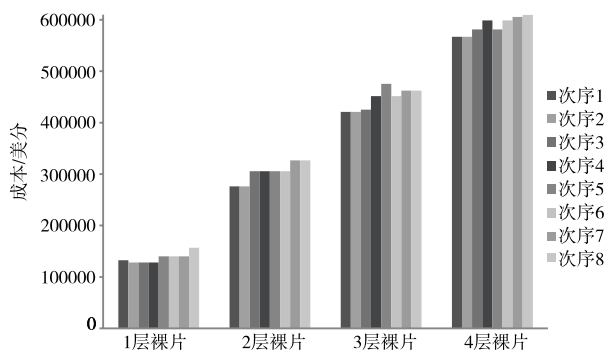


图2 4层裸片在3次绑定过程中所有次序下的成本

此外,本文使用一个“次序-成本”链表和一个信息队列作为本算法的数据结构. 其中“次序-成本”链表用于存储每次绑定过程中的绑定次序以及由此生成的理论成本. 每次利用 3.1 节的模型计算之前都先查找链表,如果存在对应的次序,则直接从链表中选取对应的值,否则利用 3.1 节模型计算理论成本并添加入链表中. 信息队列则记录原始的裸片编号信息及各裸片的详细信息,并在每次绑定后,与队列中裸片的原始信息进行比对以确定绑定是否完成.

综上,本文的搜索策略如下. 其中将各层裸片编号分别为 $(D_1 \cdots D_n)$. 在此基础上相关算法的流程图,如图 3 所示.

Step1: 初始化相关参数,根据半导体生产线的反馈确定生产裸片的成本、TSV 数目与成本、绑定的成功率、测试的成本;

Step2: 初始化信息队列,将各裸片编号加入信息队列;

Step3: 依次选择裸片 D_i ($i \leq n$) 作为起点开始进行绑定 (即下标 i 从 1 开始递增到 n), 并从信息队列删除 D_i ;

Step4: 从信息队列选取裸片 D_j . 如果符合绑定的物理位置关联性要求,则将 D_j 加入该次绑定次序. 首先按绑定次序查找“次序-成本”链表,如果次序已存在链表中,直接选择理论成本. 否则按 3.1 节模型计算相关理论成本,并将当前绑定次序与理论成本存储入链表中,从信息队列中删除 D_j 及其相关信息. 如果不符合绑定要求,则继续执行 Step4;

Step5: 信息队列如果为空,跳转至 Step6, 否则返回 Step4;

Step6: 记录完整的绑定次序及与该次序相关理论总成本,下标递增,并返回 Step2;

Step7: 当下标变换至 n 时,比较各次的理论总成本数值,寻找已知绑定次数下最小成本对应的绑定路径,将其作为最优路径.

3.3 优化绑定中测试次数 (Optimized Mid-Bonding test Times, OMT)

基于本文 3.1 节和 3.2 节,可以看出,绑定中测试采用每进行一次绑定就进行一次测试的方式,每次测试均会产生一定的测试成本 (芯片上测试基台的时间、测试向量打入的时间、测试响应输出的时间等),多次累计后,则会产生大量的测试成本. 显然,需要避免这种反复的绑定中测试,降低测试复杂性、减少测试次数,以减少测试成本,进而降低理论总成本. 但是如果不采用每绑定一次就测试一次,而是采用绑定若干次再测试一次的方式,等到发现 3D 芯片半成品存在故障时,则需要丢弃已堆叠了若干层的 3D 芯片半成品,会产生较大的丢弃成本,从而带来较大的理论总成本. 因此,优化测试次数,需要在减少测试成本与增加丢弃成本之间需找一个平衡点,进而降低理论总成本.

针对上述问题与 3.1 节的模型,本文基于 3.2 节得出最优绑定次序,提出在测试过程中部分裸片可以直接进行绑定而不进行测试,实现“绑定若干次、测试一次”的方式. 本文将其称为优化绑定中测试次数的方法.

本文主要研究“绑定”方式为依次绑定 (累加式) 的

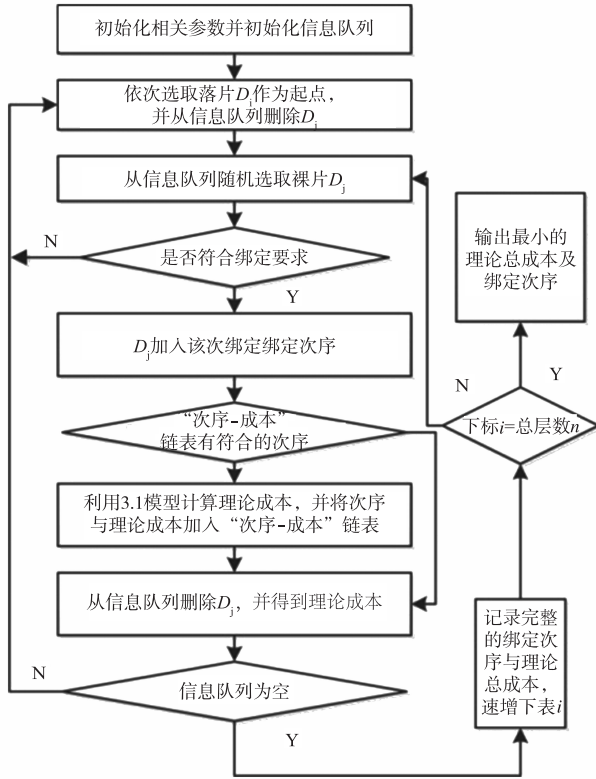


图3 OBO算法流程图

情况,即每次绑定都是在前一次的3D半成品与新增加的一个2D裸片之间进行绑定.故本文在此处将绑定过程分为两类,其中一类是不需要测试的3D芯片半成品,另一类是需要进行测试的3D芯片半成品.例如裸片编号为“ABCDEF”的3D芯片半成品有如下的测试次序“ABC || DE || F”,在该次序中,经过两次绑定生成的ABC半成品不需要测试,但下一次在其上再绑定D裸片生成的半成品ABC || D则需要进行一次测试(“||”表示进行一次测试).接下来再绑定E裸片生成的半成品ABC || DE也不需要测试,同样,再绑定F裸片生成的半成品ABC || DE || F需要进行一次测试.

为减少测试次数与相关测试成本,假设存在连续 j 层裸片进行绑定而不需要进行绑定中测试.虽然已知每次绑定的成功率,但是由于每次绑定后都没有进行测试,因此,不能确定 j 次绑定后生成的大量 j 层3D芯片半成品中具体哪些3D芯片半成品存在故障而应该被丢弃,只能将所有的无故障、有故障的3D芯片半成品继续进行下一层的绑定.即下一次第 $(j+1)$ 层裸片绑定到该半成品上时(第 j 次绑定),仍需要使用与之相匹配的裸片数目.此时,如果需要明确故障情况,则第 j 次绑定后进行一次绑定中测试,筛选出无故障的 $(j+1)$ 层3D芯片半成品,在其上继续进行绑定.丢弃有故障的 $(j+1)$ 层半成品,形成一定的丢弃成本.此后,再次出现 x 层($x+j=t$)裸片依次绑定到这个 $(j+1)$ 层半成品

上,形成共 t 层裸片的半成品,有两部分不进行绑定中测试的问题,以此类推.显然,在此过程中,减少的测试成本与增加的丢弃成本,共同决定了不需要测试的堆叠层数与需要测试的绑定次数.

根据上述分析,修改基于搜索的最优绑定次序(OBO)的成本模型,形成优化绑定中测试次序(OMT)的成本模型.其中,OMT的制造成本 $C_{i,m}$ 和第 i 层所需裸片数目 k_i 分别表示为式(8)、式(9).

$$C_{i,m} = \begin{cases} C'_1 * k_1, i = 1 \\ (\sum_{l=1}^{j-1} C_{i-l,m}) * k_{i-1} + C'_i * k_i, i \leq j \\ (C_{(i-1)m} P_{i-1} + C'_i) * k_i, j < i \leq t \end{cases} \quad (8)$$

$$k_i = \begin{cases} k, i \leq j \\ k * \prod_{l=1}^j P_l, j < i \leq t \end{cases} \quad (9)$$

如上所述,由于 j 层裸片并未进行任何测试,则第 j 层完成堆叠所需要增加的成本 C'_j 中并不需要加入测试成本.但是在第 $(j+1)$ 层绑定完成后进行的测试过程中,需要包含对于前面所有未测部分进行详细测试的测试成本.故第 i 层裸片完成堆叠所需要增加的成本 C'_i 如式(10)所示.而对于丢弃成本 $C_{i,l}$,如果3D芯片半成品没有进行测试,显然不知道哪一块半成品含有故障,无法进行丢弃.但是一旦进行测试,出现故障的3D半成品则需要全部丢弃,故丢弃成本 $C_{i,l}$ 如式(11)所述.将式(8)~式(11)代入式(7),同样可以得出 n 层裸片绑定并使用OMT时的理论总成本 $C_{n,tc}$.

$$C'_i = \begin{cases} C_{i,die} + C_{(i-1),bond}, i \leq j \\ C_{i,die} + C_{(i-1),bond} + C_{(i-1),test} + \sum_{l=1}^j C_{k,test}, j < i \leq t \end{cases} \quad (10)$$

$$C_{i,l} = \begin{cases} 0, i \leq j \\ C_{i,m} * (k_i - k_{i-1}), i = j+1 \\ \sum_{l=2}^i (1 - P_l) * C_{i,m}, j+1 < i < t \end{cases} \quad (11)$$

本文在实现最优绑定次序的基础上(OBO),结合优化的绑定中测试技术(OMT),可以进一步减少不必要的成本,缩短测试时间,指导生产实际,相关的算法流程如图4所示.其中,对于第 i 层裸片,将利用OBO生成的理论成本定义为 $C_{i,te}$,利用OMT生成的理论成本定义为 $C_{i,tem}$.

4 实验结果

4.1 相关参数设置

参考通常的芯片生产过程^[6,11,16],一个直径为300mm、含有3mm空隙的晶圆成本大约为2779美元.一个2D裸片的面积大约在30mm²到50mm²左右,TSV

直径大约为 $5\mu\text{m}$, 制造在这样两个 2D 裸片间连接的所有 TSV 的制造成本大约需要 120cent 到 200cent^[15]. 基于文献[6]中的模型, 对于裸片的测试, 每个裸片每秒需花费 3.82 美分, 即 3.82cent/second, 测试时间大约需要 6 秒. 每根 TSV 的测试成本大约为 0.23cent/second^[16]. 为简化问题、说明本文算法的有效性, 本文假设每两层裸片间的 TSV 数目在 10 ~ 30 根之间^[11].

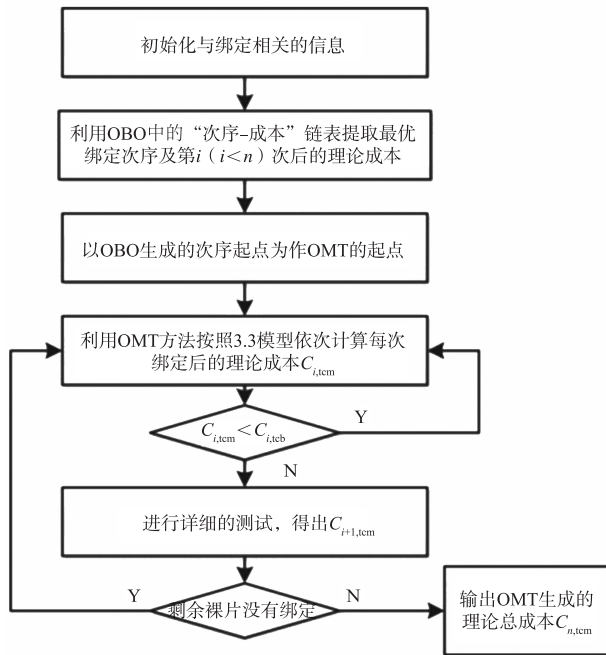


图4 最优绑定次序下的OMT算法

4.2 包含丢弃成本的总成本模型的验证

本文提出的成本模型, 由于包含了对于不确定概率问题的求解, 需要验证其可行性. 本文结合第三部分提出的成本模型和参数的相关设置, 利用蒙特卡罗分析, 对绑定次序的任意路径进行了相关的模拟, 并且从中得出理论值与实际模拟的误差. 在该过程中, 本文定义 ε 为理论与实际的误差率, 如式(12)所示. 其中 C_{tet} 为由式(7)得出的每个成功绑定的 3D SICs 成本的理论值, C_{tes} 为每次模拟的实际值, k 为蒙特卡罗的模拟次数.

$$\varepsilon = \frac{\left| C_{\text{tet}} - \frac{\sum_{i=1}^k C_{\text{tes}}}{k} \right|}{C_{\text{tet}}} * 100\% \quad (12)$$

基于上述研究, 使用 MATLAB 针对不同的裸片层数 (3 ~ 10 层) 分别模拟绑定 1000、5000、10000、50000 与 100000 次的绑定过程, 并在此基础上进行分析. 如无特殊说明, 本文研究的裸片个数在第一次绑定时各需要 100 个, 其余需要的裸片数目按 3.1 节模型计算. 利用本文提出的模型得到的曲线定义为“理论值”曲线, 每次模拟验证得出的曲线定义为“模拟值”曲线, 所有模拟值所得出的平均值定义为“平均值”曲线. 图 5 为 5 个 2D 裸片进行 4 次绑定 (制造一个 5 层 3D 芯片) 并模拟 1000 次的情形, 突出显示了第 3、4、5 层绑定的结果. 在此基础上, 通过式(12)计算得出在 5 个 2D 裸片进行 4 次、绑定模拟 1000 次的情形下, 误差率 $\varepsilon = 1.58\%$. 表 1 显示了制造一个 10 层 3D 芯片时, 在不同的绑定次数 (3 ~ 10 次) 与模拟次数 (1000, 5000, 10000, 50000, 100000) 下成本误差率 ε 的情况. 当 2D 裸片个数为 1 时, 不涉及绑定操作. 当 2D 裸片个数为 2 时, 本文假设其为 D_1 和 D_2 , 仅有顺序 (先选择 D_1 , 再与 D_2 绑定) 与逆序 (先选择 D_2 , 再与 D_1 绑定) 两种绑定次序, 情形较为简单. 本文选择 3 ~ 10 层 3D 芯片作为多层 3D 芯片的代表, 重点讨论不同的绑定次序带来的成本问题.

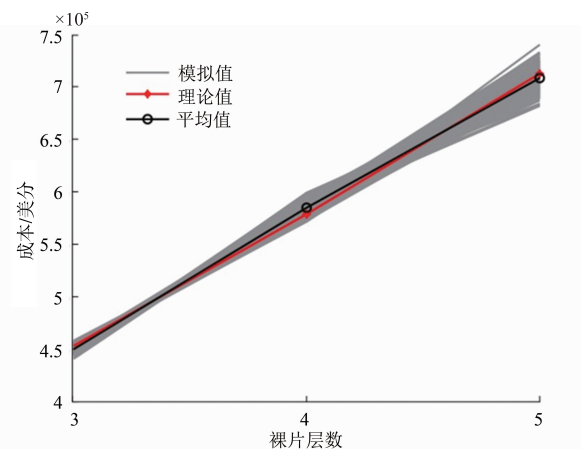


图5 5层2D裸片进行4次绑定并放大第3、4、5层模拟1000次过程的成本分布

表1 本文模型的成本平均值与理论值的误差

模拟次数	层数=3	层数=4	层数=5	层数=6	层数=7	层数=8	层数=9	层数=10
1000	2.08%	1.58%	1.24%	0.98%	0.78%	0.64%	0.42%	0.26%
5000	1.99%	1.78%	0.94%	1.13%	0.91%	0.66%	0.53%	0.27%
10000	1.97%	1.42%	1.23%	0.92%	0.67%	0.82%	0.50%	0.36%
50000	1.62%	1.88%	1.39%	1.21%	0.80%	0.61%	0.58%	0.32%
100000	1.84%	1.72%	0.98%	0.90%	0.82%	0.54%	0.52%	0.51%

由表 1 可以得出本文模型误差 ε 值均不超过 3%，这体现出本文模型的可靠性。随着绑定次数和模拟次数的增加，可以得出 ε 呈现递减趋势。同时，由式(7)可得随着绑定次数的增加，会带来越来越大的理论值成本，实际模拟的平均成本与理论成本的误差会远小于理论成本值。因此， ε 随着次数的增加会逐渐减小，实验结果有越来越好的准确性。

4.3 最优绑定次序与最优绑定中测试次数的性能分析

针对本文提出的成本模型以及其中考虑的成功率，首先需验证丢弃成本存在的必要性，即丢弃成本在理论总成本中所占的比例。图 4(a) 和 (b) 分别介绍了当 10 层 2D 裸片按顺序进行绑定过程中，利用 3.1 节中的模型得出的制造成本与丢弃成本值，以及相对的比例。从中可以清楚的看出，随着绑定次数的不断增多，成本越来越多，当需要 10 层裸片进行绑定时，丢弃成本占总成本比例高达 33.8%，从而体现降低丢弃成本的必要性。

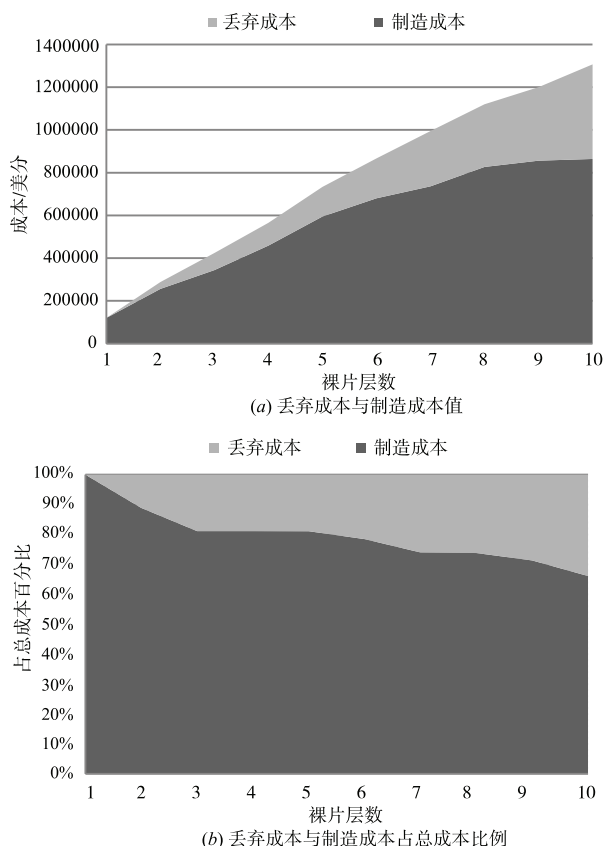


图6 10层裸片绑定9次的丢弃成本与制造成本相关情况

本文使用参数 η 来表示本文算法的成本降低率(如式(13)所示)，以此实现将本文提出的最优绑定次序(OBO)和优化绑定中测试次数(OMT)的方法与业界常用的绑定次序进行比较。其中 C_{ar} 为根据其他规则选

定绑定次序而产生的成本， C_{pr} 为使用本文方法产生的成本。

$$\eta = \frac{C_{ar} - C_{pr}}{C_{pr}} * 100\% \quad (13)$$

本文方法与文献[12]、乱序绑定^[10]和顺序绑定在裸片层数从3到10层的绑定过程中进行比较(假设各层裸片编号分别为A、B、C...，基于4.1节中的参数设置，随机生成A、B、C...)。表2显示了在裸片层数从3到10层的绑定过程中，针对不同层数的不同3D芯片，利用OBO生成的各种最优绑定次序，以及在此基础上利用OMT寻找的最优绑定中测试次数。“||”表示要进行绑定中测试的位置。例如在表2中，层数为5时的“CDBA || E”表示，3D芯片半成品“CDBA”在绑定生成的过程中，不需要进行测试，在与裸片“E”进行绑定时均需要进行绑定中测试。表3显示了在3D芯片层数从3到10变化的过程中，本文方法与其他同类方法的比较结果。

表2 最优次序与最优绑定中测试次数

思想	Obo	Omt
	最优次序	优化的测试次序
层数 = 3	BAC	BAC
层数 = 4	BACD	BACD
层数 = 5	CDBAE	CDBA E
层数 = 6	CDBEFA	CDBE FA
层数 = 7	CDBEAFG	CDBE AF G
层数 = 8	CDBAEFGH	CDBA EF GH
层数 = 9	CDBAEFGHI	CDBA EF GH I
层数 = 10	CDBAEFGHIJ	CDBA EF GH I J

根据表2、表3中的数据显示，文献[12]由于只考虑了概率问题，忽略了更为核心的成本计算，与实际问题的拟合度不足，难以做到最优。文献[10]的乱序绑定与顺序绑定则由于其考虑因素较少，运算结果与最优成本误差较大。

对于OBO，一方面，虽然搜索算法的时间性能不是最优，但是由于符合裸片物理绑定操作要求(相邻的2D裸片必须依次绑定)的解空间本身并不特别大，这就使得搜索算法的使用具有可行性。另一方面，在搜索算法中，本文将出现过的次序信息进行存储，使得在搜索过程中再次遇到相同的部分时可以通过快速查表的方式大大降低搜索算法的时间复杂度。

OMT在OBO的基础上进行了绑定中测试的次数优化，减少了测试成本与时间，提高了实际生产率，在实际中具有一定的可行性。同时，表2、表3也显示了传统绑定中测试采用的“一绑一测”方式，存在可优化的

空间. 如表 3 所示,“绑定多次、测试一次”的方法 OMT 相比于“绑定一次、测试一次”的 OBO 方法,可以进一步降低理论成本,在实际生产中具有一定的可行性. 综

上所述,OMT 与 OBO 方法与同类方法相比,在降低成本方面具有一定的优势.

表 3 本文提出的思想与相关思想的比较

思想	OBO	OMT		文献[10]			文献[12]			顺序		
	成本: 美分	成本: 美分	OMT 与 OBO 相比 η	成本: 美分	OBO 与 文献[6] 相比 η	OMT 与 文献[6] 相比 η	成本: 美分	OBO 与 文献[8] 相比 η	OMT 与 文献[8] 相比 η	成本: 美分	OBO 与 顺序相 比 η	OMT 与 顺序相 比 η
层数=3	423414	405560	4.22%	458341	8.25%	13.01%	498551	17.75%	22.93%	458341	8.25%	13.01%
层数=4	560283.3	557510	0.49%	580885.2	3.67%	4.19%	682022.4	21.74%	22.733%	636043.6	13.52%	14.09%
层数=5	714679.3	710140	0.64%	737483.4	3.19%	3.85%	750077.7	4.95%	5.62%	779170.2	9.02%	9.72%
层数=6	833765.9	832060	0.23%	875952.1	5.06%	5.28%	920699.3	10.43%	10.65%	882683	5.86%	6.08%
层数=7	951833.2	947384.1	0.47%	1002070.4	5.28%	5.77%	1054020.1	10.74%	11.26%	1006764.4	5.77%	6.27%
层数=8	1064540.5	1062422.1	0.20%	1122472.3	5.44%	5.65%	1093894.3	2.76%	2.96%	1127163.1	5.88%	6.09%
层数=9	1147840.8	1147278.7	0.05%	1188831.2	3.57%	3.62%	1220342.8	6.32%	6.37%	1215180.2	5.87%	5.92%
层数=10	1227220.2	1226322.5	0.07%	1317024.7	7.32%	7.40%	1321637.1	7.69%	7.77%	1300922.4	6.01%	6.08%

5 总结

本文通过考虑绑定过程中可能出现的失败概率,提出了含有丢弃成本的成本模型,并研究了绑定次序及其对成本的影响,提出了一种基于该成本模型的最优绑定次序搜索算法. 并且提出了“绑定多次、测试一次”的方法,改进了传统的绑定中测试“一绑一测”的方式,优化了绑定中测试次数. 本文方法从实际生产角度出发,提出优化绑定次序与绑定中测试次数的方法,对于成本控制都有一定的指导意义.

参考文献

- [1] 常郝,梁华国,蒋翠云,等. 一种 3D 堆叠集成电路中间绑定测试时间优化方案[J]. 电子学报,2015,43(2): 393-398.
Chang H, Liang H G, Jiang C Y, et al. Optimization scheme for mid-bond test time on 3D-stacked ICs[J]. Acta Electronica Sinica, 2015, 43(2): 393-398. (in Chinese)
- [2] 王伟,张欢,方芳,等. 2TF: 一种协同考虑过硅通孔和热量的三维芯片布图规划算法[J]. 电子学报,2012,40(5): 971-976.
Wang W, Zhang H, Fang F, et al. 2TF: A collaborative considered TSV and thermal floorplanning algorithm for three-dimensional chip[J]. Acta Electronica Sinica, 2012, 40(5): 971-976. (in Chinese)
- [3] 余慧,吴昊,陈更生,等. 一种堆叠式 3D IC 的最小边界热分析方法[J]. 电子学报,2012,40(5): 865-870.
Yu H, Wu H, Chen G S, et al. A minimal boundary thermal analysis method for stacked 3D IC[J]. Acta Electronica

Sinica, 2012, 40(5): 865-870. (in Chinese)

- [4] 神克乐,向东. 基于三维芯片热驱动的扫描测试策略[J]. 电子学报,2013,41(6): 1202-1206.
Shen K L, Xiang D. Three dimensional ICs thermal-driven test application scheme[J]. Acta Electronica Sinica, 2013, 41(6): 1202-1206. (in Chinese)
- [5] Taouil M, Hamdioui S, et al. Test cost analysis for 3D die-to-wafer stacking[A]. the Asian Test Symposium (ATS) [C]. Shanghai: IEEE, 2010. 435-441.
- [6] Taouil M, Hamdioui S. On optimizing test cost for wafer-to-wafer 3D-stacked ICs[A]. the Design & Technology of Integrated Systems in Nanoscale Era[C]. Tunisia: IEEE, 2012. 1-6.
- [7] Taouil M, Hamdioui S. Yield improvement and test cost optimization for 3D stacked IC[A]. the Asian Test Symposium (ATS) [C]. New Delhi: IEEE, 2011. 480-485.
- [8] Taouil M, Hamdioui S, et al. Using 3D-COSTAR for 2.5D test cost optimization[A]. the 3D Systems Integration Conference[C]. San Francisco: IEEE, 2013. 1-8.
- [9] Taouil M, Hamdioui S, et al. Impact of mid-bond testing in 3D stacked ICs[A]. the Defect and Fault Tolerance in VLSI and Nanotechnology Systems[C]. New York: IEEE, 2013. 178-183.
- [10] Taouil M, Hamdioui S. Stacking order impact on overall 3D die-to-wafer stacked-IC cost[A]. the Design and Diagnostics of Electronic Circuits & Systems[C]. Cottbus: IEEE, 2011. 335-340.
- [11] Chang H, Liang H G, Li Y, et al. Optimized stacking order for 3D-stacked ICs considering the probability and cost of failed bonding[A]. The VLSI Design, Automation and

- Test[C]. Hsinchu: IEEE, 2014. 1-4.
- [12] Ingelsson U, Goel S, et al. Test scheduling for modular SOCs in an abort-on-fail environment[A]. the European Test Symposium[C]. Tallinn: IEEE, 2005. 8-13.
- [13] Pradhan M, Giri C, et al. Optimal stacking of SOCs in a 3D-SIC for post-bond testing[A]. The 3D Systems Integration Conference[C]. San Francisco: IEEE, 2013. 1-5.
- [14] Zou Q, Xie J, Xie Y. Cost-driven 3D design optimization with metal layer reduction technique[A]. The Quality Electronic Design[C]. Santa Clara: IEEE, 2013. 294-299.
- [15] Verbree J, Marinissen E. On the cost-effectiveness of matching repositories of pre-tested wafers for wafer-to-wafer 3D chip stacking[A]. The European Test Symposium[C]. Prague: IEEE, 2010. 36-41.
- [16] Skowron A, Rauszer C. The Discernibility. Matrices and Functions in Information System[M]. Berlin: Springer Netherlands, 1992. 331-362.

作者简介



王 伟 男, 1979 年 1 月出生于安徽省合肥市. 现为合肥工业大学计算机与信息学院副教授, 硕士生导师. 研究方向: 3D 芯片设计与测试, 容错技术.
E-mail: wangwei_hfut@hfut.edu.cn



秦振陆 男, 1990 年 11 月生于山西省太原市. 硕士研究生, 研究方向: 3D 芯片设计与测试, 容错技术.



方 芳 女, 1979 年 3 月出生于安徽省合肥市. 现为合肥工业大学管理学院副教授, 硕士生导师. 研究方向: 成本优化, 资料调研与优化.
E-mail: fangfang@hfut.edu.cn



朱 侠 女, 1992 年生于安徽省蚌埠市. 硕士研究生, 研究方向: 3D 芯片设计与测试, 容错技术.



郭二辉 男, 1981 年 12 月生于安徽省灵璧县. 现为中国电科 38 所高级工程师. 研究方向: 超大规模集成电路设计与验证.



任福继 男, 1959 年生于四川省南充市. 教授, 博士生导师. 研究领域: 自然语言处理, 人形机器人, 人机情感交互.